

# ARCHITEKTURA PROCESORŮ

Základními jednotkami, které tvoří vnitřní strukturu procesorů, jsou:

- ✓ řadič, který má za úkol číst operandy (data, čísla) a instrukce z operační paměti, dekodovat je a na základě provádění mikrokódu, generovat řídicí signály, tedy řídit činnost ostatních jednotek v procesoru a počítači.
- ✓ ALU, mající za úkol na základě řídicích signálů z řadiče CPU provádět matematické a logické operace. Pro práci s reálnými čísly s plovoucí (pohyblivou) řádovou čárkou jsou v procesoru integrovány výpočetní jednotky FPU (Floating Point Unit). Nejstarší procesory řady x86 (8086, 80186, 80286, 80386) obsahovaly pouze jednotku ALU, která pracovala jak s celými, tak reálnými čísly s pohyblivou řádovou čárkou. Pro zvýšení výkonu byla na základní desce patice pro připojení tzv. matematického koprocesoru, který se využíval pro aritmetické operace s reálnými čísly s pohyblivou řádovou čárkou (zvýšení výpočetního výkonu). Tento specializovaný procesor nesl označení podobné hlavnímu procesoru (např. Intel 80287). ALU a FPU nazýváme výkonné jednotky (Execution Units)
- ✓ registry, jsou rychlé statické paměti typu RAM (čtení/zápis) malé kapacity uvnitř jádra procesoru, které slouží k uchování aktuálních instrukcí, adres v paměti, operandů, mezivýsledků a výsledků matematických a logických operací.

Ve vnitřní struktuře současných procesorů však existují další jednotky podporující nové technologie pro práci s instrukcemi a daty, jejichž úkolem je co možná neoptimálněji zvýšit jeho operační rychlost a stabilitu bez nutnosti použít „hrubé síly“, tedy zvyšovat základní pracovní kmitočet a napětí jádra procesoru. **Vždy je nutná podpora operačního systému a aplikace!**

Veškeré jednotky uvnitř procesoru optimalizující práci s instrukcemi a daty či snižující spotřebu elektrické energie a vyzářené ztrátové teplo pak tvoří tzv. *architekturu* (resp. *mikroarchitekturu*) procesoru, určující jeho vlastnosti. Přehled architektur dvou významných výrobců procesorů pro osobní a mobilní počítače:

## Firma INTEL:

- Skalární architektura: 8088, 8086, 80286, 80386, 80486
- Superskalární architektura: Pentium, Pentium Pro, Pentium MMX, Pentium II, Pentium III, Celeron
- NetBurst – hyperskalární architektura (Pentium 4, Pentium D, Xeon, Celeron)
- Core (Core Duo, Core 2 Duo, Core 2 Extreme, Core 2 Quad, Celeron)
- Atom (procesory optimalizované výhradně na co nejnižší spotřebu elektrické energie)
- Nehalem (řada procesorů Core i7, Core i5, Core i3)
- Sandy Bridge (2. generace procesorů řady Core i7, Core i5, Core i3)
- Ivy Bridge (3. generace procesorů řady Core i7, Core i5, Core i3)

## Firma AMD:

- Am286, Am386, Am486
- AMD K5, AMD K6, AMD K6-2, K6-III
- AMD K7 (Athlon, Athlon XP, Athlon MP + odlehčené verze Duron, Sempron)
- AMD K8 (Athlon 64, Athlon 64 X2, Turion 64, Turion 64 X2, Sempron)
- AMD K10 (4-jádrové procesory Phenom, Opteron)
- AMD K11 (architektura vícejádrových APU s označením „Bulldozer“)

Obecně (bez ohledu na výrobce procesoru) jsou architektury rozděleny podle **šířky datové a adresové sběrnice**.

Platí, že čím větší šířka sběrnice, tím je schopen přenášet větší objem dat za jednotku času (vyšší rychlost), umožňuje pracovat s většími čísly, resp. větší přesností čísel a umožňuje adresovat větší rozsah operační paměti. Zjednodušeně se dá říci, že např. 8 bitový procesor umí přímo pracovat s čísly od 0 do 255 (tj. 0 až  $2^8-1$ ) v jednom kroku, 16 bitový s čísly od 0 do 65535 (tj. 0 až  $2^{16}-1$ ), atd. Operace s většími čísly musí být rozděleny do několika kroků (hodinových cyklů). Podle šířky datové sběrnice můžeme současné procesory pro osobní počítače rozdělit na 32 a 64 bitové.

Architektury procesorů lze rozdělit také podle **způsobu zpracování instrukcí a dat**.

## 1. Skalární architektura

- Intel 8086, 80286, 80386, 80486

Procesor skalární architektury je složen z více funkčních bloků, které pracují samostatně. Umožňuje tzv. **pipelining** (pipeline<sup>1</sup> = datovod), neboli zřetěžené zpracování instrukcí. Základní myšlenkou je rozdělení zpracování jedné instrukce mezi různé části procesoru a tím i dosažení možnosti zpracovávat více instrukcí najednou. Zpracování instrukce se nejčastěji sestává z těchto kroků (stupeň pipeline):

1. výpočet adresy místa v operační paměti,
2. načtení instrukce z dané adresy v operační paměti,
3. dekódování instrukce (nalezení mikrokódu reprezentující instrukci v paměti ROM),
4. provedení výpočtů v ALU / FPU,
5. zápis výsledku do registrů.

Jelikož se zpracování jedné instrukce sestává z několika fází, lze zpracování další instrukce zahájit dříve než je předchozí instrukce dokončena (např. zatímco se jedna instrukce dekóduje, další instrukce může být načtena z paměti do registru instrukcí, atd.).

**Analogie:** Výrobní linka v automobilce, na které je v jednom okamžiku sestavováno více aut najednou, každé z nich se však nachází v jiné fázi kompletace. Pokud bychom museli čekat na dokončení výroby (úplné kompletace) jednoho auta, před zahájením výroby druhého, nastaly by ve výrobě velké prodlevy - některé části výrobní linky by byly zbytečně nevyužity (velmi pomalý výrobní proces!).

Čím více má pipeline stupňů, tím je efektivnější zpracování instrukcí (tím více instrukcí lze rozpracovat). V případě, že dojde v programu ke skoku, musí se celá pipeline (fronta instrukcí) vyprázdnit a načíst s dlouhým zdržením instrukce nové.

Procesory 80486 ve své vnitřní struktuře obsahovaly **vyrovnávací statickou paměť RAM** (CACHE paměť) první úrovně (L1), která urychluje práci samotného procesoru (dělí se na datovou a instrukční) o velikosti 8kB, pracující na stejné frekvenci jako procesor.

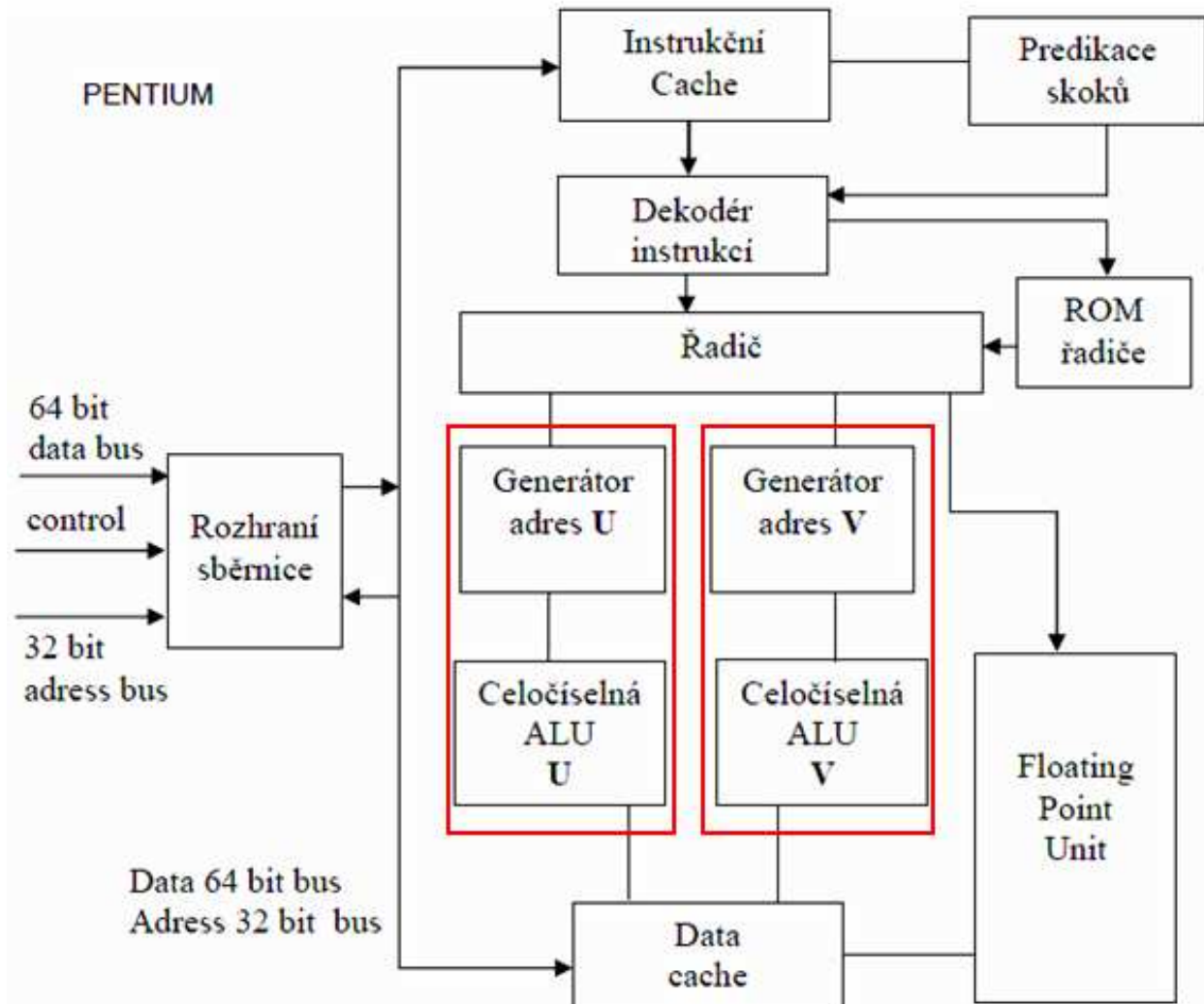
---

<sup>1</sup> pipeline = souhrn prováděcích jednotek uvnitř procesoru umožňujících zpracovat instrukci (viz blokové schéma CPU)

## 2. Superskalární architektura

- Intel Pentium, Pentium MMX, Pentium II, Pentium III, (vč. „odlehčených“ verzí Celeron)

Procesory této architektury umožňují zpracování několika instrukcí v jednom instrukčním řetězci (pipeline, datovod) zároveň. Obsahují více prováděcích jednotek (především ALU) v jednom jádře procesoru, které jsou schopné paralelního zřetězení. V jednom taktu může být dokončeno více instrukcí - *superpipelining*. První superskalární architektura byla použita u Pentia, které mělo 2 pipeline (U-pipe a V-pipe). V jednom taktu mohly být dokončeny za určitých podmínek dvě instrukce (instrukce jsou na sobě nezávislé, tedy: jedna instrukce nečeká na výsledek zpracování druhé instrukce).



U superskalární architektury rozhoduje o paralelním provádění operací řadič procesoru. Oproti skalární architektuře je tedy konstrukce řadiče procesoru složitější, neboť kromě své běžné činnosti, tj. řízení pipeline (datovodu) a jednotlivých funkčních jednotek procesoru, ještě musí rozhodovat o tom, které instrukce je možné párovat a zpracovávat současně.

Aby se zabránilo vyprazdňování datovodu z důvodu skoku v programu, začala se používat technologie **predikce** (*předvídání, odhadování*) **skoků v programu**.

## Predikce (odhadování, předvídání) skoků v programu

Tato technologie umožňuje dopředu odhadnout, zda se skok v programu provede či nikoli a na základě toho se začne do instrukční pipeline vkládat (a postupně zpracovávat) buď instrukce, které se nachází ihned za skokem či naopak v cíli skoku.

Příklad činnosti prediktoru skoku:

Jednoduchý 1 bitový prediktor skoků pracuje tak, že si procesor u každého skoku uloží do 1 bitového registru informaci, zda byl skok proveden či nikoli. Když se v instrukční pipeline znovu skok objeví (souhlasí jeho adresa), tak se procesor na základě předešlého běhu programu rozhodne, které další instrukce se pravděpodobně budou zpracovávat. Při prvním volání skoku má prediktor pouze padesátiprocentní úspěšnost, ta se potom zvyšuje.

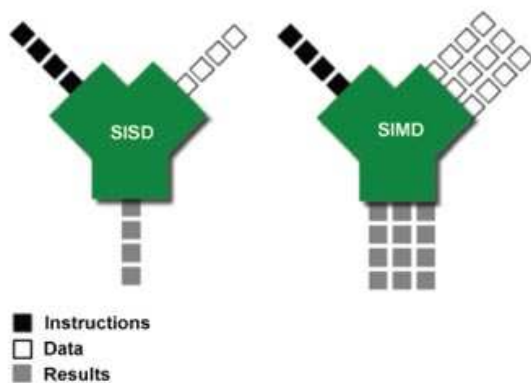
## Vyrovňovací paměť cache

Procesory Pentium obsahovaly interní cache paměť L1 o velikosti 16 KB, která byla rozdělená na 8 KB pro data a 8 KB pro dekódované instrukce (mikroinstrukce, microOPs).

Od procesorů Pentium Pro se do vnitřní architektury integrovala také vyrovnávací paměť cache druhé úrovně (L2), urychlující komunikaci mezi rychlejším procesorem a pomalejší operační pamětí.

## Rozšíření instrukční sady procesoru

Od procesoru Pentium MMX jsou k základní instrukční sadě procesoru přidány nové instrukce využívající techniku SIMD (Single Instruction Multiple Data), která dovoluje zpracovat více operandů (dat, čísel) během jedné instrukce.



### **SISD instrukce (Single Instruction Single Data):**

1. mikroinstrukce:  $5 * 2 = 10$
2. mikroinstrukce:  $5 * 3 = 15$
3. mikroinstrukce:  $5 * 1 = 5$
4. mikroinstrukce:  $5 * 8 = 40$

### **SIMD instrukce (Single Instruction Multiple Data):**

1. mikroinstrukce:  $5 * (2; 3; 1; 8) = (10; 15; 5; 40)$

Klasický způsob výpočtu vyžaduje čtyřikrát více mikroinstrukcí (SISD). Jejich dekódování tedy zabere delší dobu (bude trvat více hodinových cyklů). Nevýhodou je, že SIMD instrukcemi je možné provádět výpočty pouze v situaci, kdy se operace přiřazené ke všem datům shodují - v ukázce se všechny operandy násobí číslem „5“. Kdyby ale jedno číslo bylo nutné násobit číslem „4“, nebude možné SIMD instrukci použít.

SIMD využívají především multimediální aplikace pro práci s:

- 2D/3D grafikou
- zvukem, rozpoznávání řeči
- videem
- kompresí dat

**Technologie MMX (MultiMedia eXtensions)** – Základní instrukční soubor u Pentia MMX a Pentia II byl obohacen o 57 nových multimediálních SIMD instrukcí, které však pracují pouze s celými čísly. Zároveň byl rozšířen procesor o 8 nových 64 bitových registrů.

**Technologie SSE (Streaming SIMD Extensions)** – Instrukční sada Pentia III obsahovala navíc 70 nových SIMD instrukcí pro zpracování obrazu, práci s 3D grafikou, zpracování audia a videa (umožňuje softwarové dekódování formátu MPEG-2 při plné rychlosti), rozpoznávání řeči. Podpora pro zpracování čísel v pohyblivé desetinné čárce. Procesor byl rozšířen o 8 nových 128 bitových registrů (složených ze dvou 64 bitových registrů).

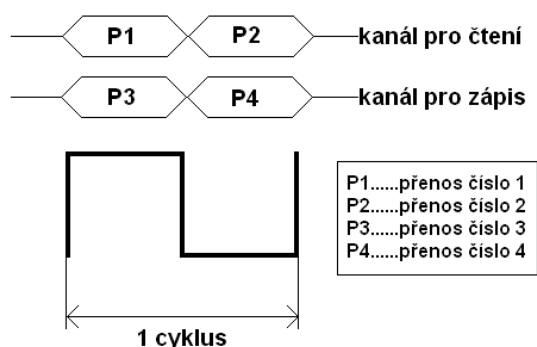
### 3. Architektura NetBurst

- Pentium 4, Pentium D, Xeon (procesory určené pro servery)

NetBurst je název architektury procesorů Pentium 4 firmy Intel. Tato architektura spoléhá (co se týče výkonu) především na vysoké taktovací frekvence procesoru. Nevýhodou je však poměrně velký příkon procesoru a tedy velké ztrátové teplo (viz parametr TDP).

Jedná se o procesory hyperskalární architektury:

- ✓ Umožňují rozpracovat až 20 instrukcí v rámci pipeline (stupeň neboli hloubka pipeline je 20)
- ✓ Pro případ větvení programu (podmíněné skoky) využívá technologie odhadování (predikci) skoků v programu.
- ✓ Některé výkonové jednotky jsou zároveň zdvojeny – zpracovávají se obě varianty kódu pro případ, kdy je podmínka skoku splněna i nesplněna. Teprve až je výsledek podmíněného skoku znám, nevhodnou větev vyprázdní.



Sběrnice FSB (Front Side Bus) pracuje na základní frekvenci 100 MHz (resp. 133 MHz, 200 MHz). Díky technologii **Quad Pumped Bus (QPB)** však efektivně dosahuje rychlosti 400 MHz (resp. 533 MHz, 800 MHz).

Více viz téma „Čipové sady“.

Zpracovávání instrukcí mimo pořadí (Out of Order) – je to metoda, při níž se instrukce vykonávají v jiném pořadí, než jak uvádí program uložený v operační paměti. Procesor (resp. řadič procesoru) provede tzv. *analýzu toku dat* (analýzu dekódovaných instrukcí) a zjišťuje, zda jsou závislé na dokončení jiných instrukcí. Následně seřadí instrukce do optimálního pořadí a provádí je tak, aby byly zpracovány v co nejkratším čase (na sobě nezávislé instrukce souběžně, tedy paralelně).

*Příklad využití:* Pokud nemůže být některá instrukce provedena, protože nemá k dispozici data, provede se jiná instrukce. Tímto způsobem lze odstranit možná zpoždění, která vzniknou v důsledku nedostupnosti dat.

Rapid Execution Engine - procesor obsahuje celkem tři ALU, z toho dvě ALU pro jednoduché operace (např. sčítání, násobení) pracují na dvojnásobné frekvenci, než samotné jádro procesoru. V takovém případě lze provést až 4 instrukce během jednoho strojového cyklu.

HyperThreading technologie (Thread = vlákno, úloha, aplikace) - myšlenkou je, že jeden "fyzický" procesor bude schopen pracovat jako dva „logické“ procesory. Toho se dosáhlo zdvojením jednotek, které uchovávají aktuální stav výpočetních procesů – registrů. Všechny ostatní prostředky procesoru, jako jsou výpočetní jednotky ALU / FPU, prediktory a paměti CACHE, jsou sdílené.

XD (eXecute Disable) bit technologie – snaží se zabránit útokům červů nebo virů, kteří využívají přetečení paměťového zásobníku. XD bit je informace o velikosti 1 bit, kterou si operační systém označuje místa v paměti, ve kterých může nebo nemůže být spuštěn kód. Někteří červi se pokoušejí zahltnit procesor záplavou kódu, který může přesáhnout do datové oblasti. V tomto případě však ke spuštění kódu nedojde. Čtení nebo zápis do datové části paměti ovlivněn není.

Intel 64 – rozšíření instrukční sady o instrukce pro práci s 64 bitovými čísly. Zároveň využívá 64 bitových registrů, pro uložení instrukcí a dat. 32 bitová architektura procesoru je schopna adresovat pouze 4GB paměti ( $2^{32}$ ). Díky tomuto rozšíření instrukční sady, lze adresový prostor operační paměti zvětšit (technologie EM64T). U AMD procesorů se toto rozšíření nazývá AMD64.

SpeedStep – technologie, která dokáže upravit taktovací frekvenci jádra procesoru dle potřeby aplikace. Dokáže tedy šetřit elektrickou energii (snižovat spotřebu) procesoru a zároveň snižovat jeho zahřívání.

Tepelná ochrana (Tepelný monitor) - za použití přesného, továrně nastaveného teplotního čidla přímo na čipu je velmi rychle reagující obvod tepelné ochrany (TCC - Thermal Control Circuit) schopen udržet teplotu procesorového čipu v rozsahu továrních specifikací za prakticky všech podmínek (např. selhání chlazení). Tepelný monitor řídí teplotu procesoru pomocí změny taktovací frekvence jádra procesoru. Hodinový signál procesoru je upravován tehdy, je-li aktivován obvod TCC. V případě nárůstu teploty nad kritickou mez, obvody tepelné ochrany odstaví CPU od napájení.

#### Rozšíření instrukční sady procesoru

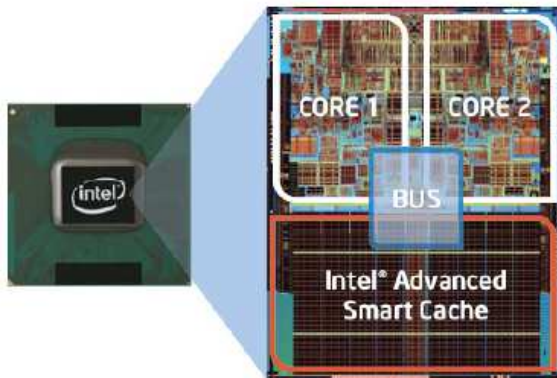
*Technologie SSE 2* - obsahuje 144 nových SIMD instrukcí pro práci s čísly v pohyblivé desetinné čárce s dvojitou přesností, 128 bitovými celými čísly.

*Technologie SSE 3* - obsahuje 13 nových SIMD instrukcí určených zejména pro synchronizaci vícevláknových úloh, zpracování videa a obrazu, kompresi dat, počítačové hry.

Pozn.: Výčet technik určených ke zvýšení výkonu procesoru architektury NetBurst není vyčerpávající (např. Virtualizační technologie, Execution Trace Cache, atd.).

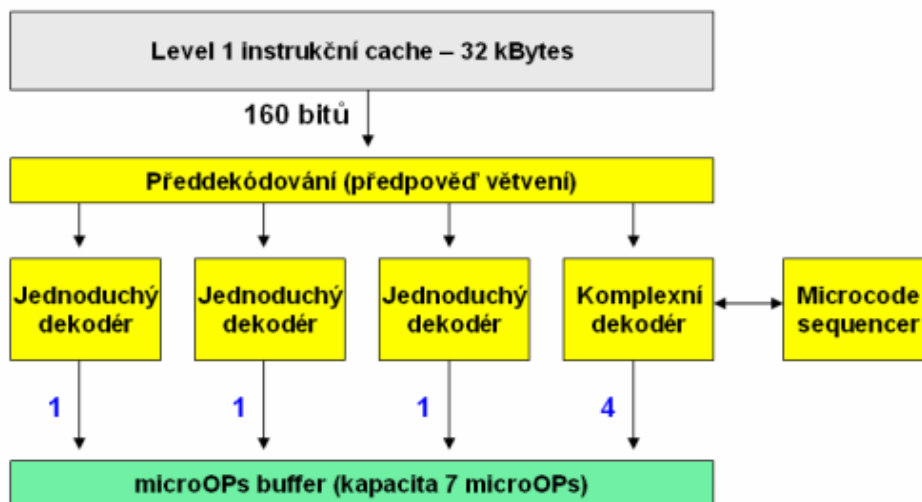
## 4. Architektura Core

- Core Duo, Core 2 Duo, Core 2 Quad, Core 2 Extreme



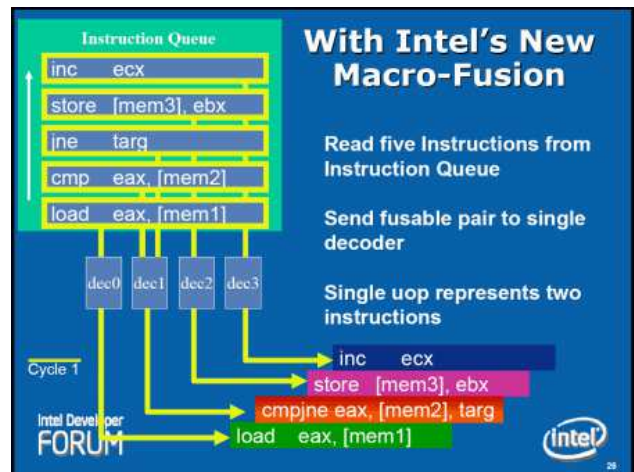
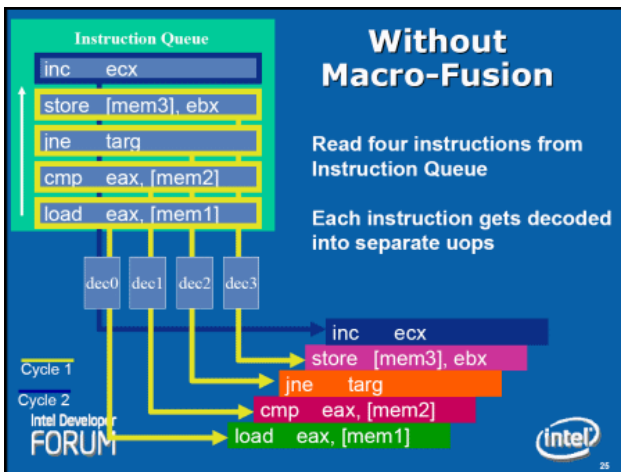
Jeden procesor obsahuje v pouzdře více výpočetních jader (jádro=core). Pokud je vícejádrový procesor podporován operačním systémem a konkrétní aplikací, lze instrukce zpracovávat paralelně. To znamená, že procesor může řešit více úloh současně, popřípadě jednu úlohu rozložit na více výpočetních jader. Významnou změnou je také podpora 64 bitových operačních systémů a aplikací (obsahuje plně 64 bitové výpočetní jednotky ALU). Pro zvýšení rychlosti zpracování instrukcí a snížení spotřeby bylo vyvinuto několik technologií:

Wide Dynamic Execution – technika, která umožňuje zpracovat během jednoho hodinového taktu více instrukcí. Architektura Core má k dispozici čtyři instrukční dekodéry. Tři jsou určeny pro jednoduché instrukce (např. sčítání, násobení, odčítání), jeden dekodér je určen pro složitější instrukce, které jsou reprezentovány až čtyřmi mikroinstrukcemi, přičemž zvládá i ty jednoduché:



Zároveň obsahuje metody, které mají za úkol snížit počet mikrooperací (mikroinstrukcí), jež jsou potřebné pro vykonání určité instrukce:

- ✓ *Macro-Fusion* - tato technika se snaží o dekodování dvou instrukcí na jednu mikroinstrukci, která je vystihne obě (např. sloučení instrukce pro porovnání hodnot uložených v registrech *CMP* s instrukcí pro skok na příslušné místo v programu v případě splnění *JMP* či nesplnění *JNE* výše uvedené podmínky).



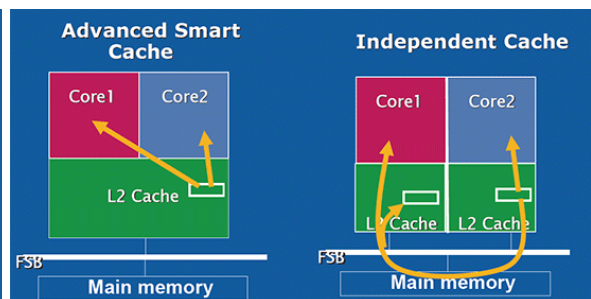
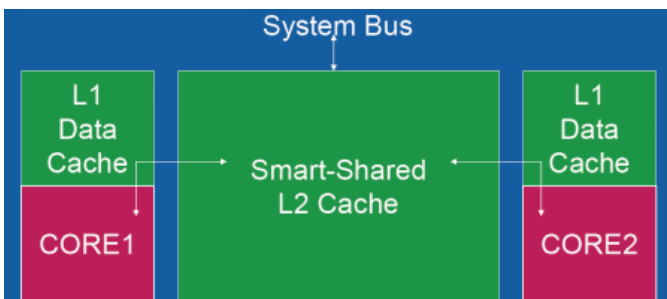
- ✓ *MicroOps-Fusion* - podobná technika jako *Macro Vision*, umožňuje sloučit dvě mikroinstrukce, které jsou těsně spjaty do jedné (např. určení adresy paměťového místa + uložení dat na toto místo).

Intelligent Power Capability (Intelligentní správa napájení) – technologie, která odpojuje od napájení nevyužité části procesoru + řídí otáčky ventilátorů. Nízká spotřeba elektrické energie je zajištěna také nižším taktovacím kmitočtem v porovnání s architekturou NetBurst. Procesor jsou vybaven přesnými snímači teploty a stavovými indikátory, které zjišťují spotřebu jednotlivých částí procesoru. Efektivně využívá sběrnice. Většina datových spojů je koncipována na 128 bitové SSE instrukce. Pokud se však zpracovávají instrukce s menší datovou šířkou (práce s ALU nebo FPU), zůstanou některé nevyužité = v takovém případě jsou tyto spoje odpojeny.

Smart Memory Access – tato technologie zjišťuje závislost mezi instrukcemi pro ukládání (čtení) dat do (z) operační paměti, které po sobě následují a snaží se pořadí těchto instrukcí optimalizovat (vylepšení techniky Out of Order). Jedná se o zdokonalenou techniku pro předvídání (predikci) dat, která budou zapotřebí a mají být tudíž načtena z operační paměti do procesorové paměti cache.

Advanced Smart Cache (Sdílená L2 cache: 2, 4 popř. 6 MB) – jedná se o L2 cache paměť, která je sdílená mezi oběma jádry procesoru. Kapacitu je možné dynamicky přidělovat (alokovat) pro každé jádro (např. je-li jedno jádro nečinné, může druhé jádro využívat celou kapacitu L2 cache).

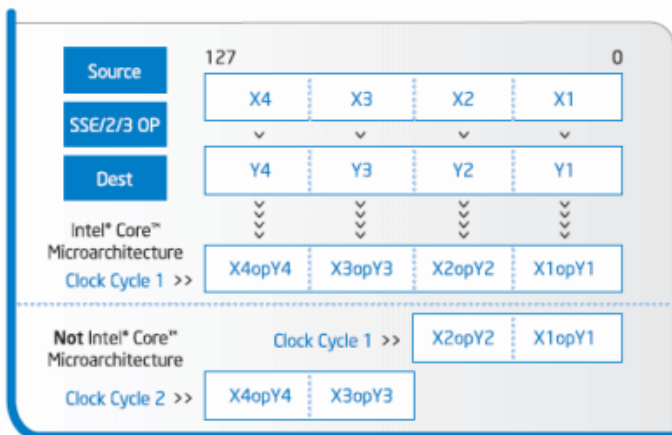
Zároveň umožňuje výměnu dat přímo mezi L1 cache paměťmi obou jader procesoru (každé jádro 32 kB pro data a 32 kB pro instrukce), čímž se zrychluje výměna dat mezi jádry procesoru a nezatěžuje systémová sběrnice FSB.





## Advanced Digital Media Boost

Intel® Advanced Digital Media Boost  
SSE Operation (SSE/SSE2/SSE3)

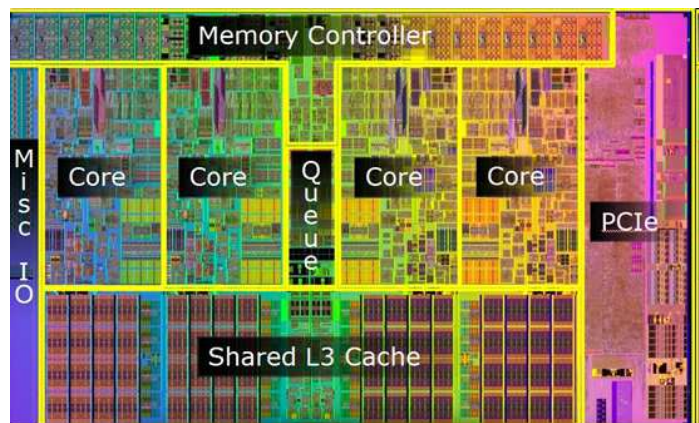


K provádění SIMD instrukcí se využívá 128 bitového registru, přičemž procesor architektury Core dokáže zpracovat celých 128 bitů během 1 hodinového taktu (postačuje 1 mikroinstrukce).

Dříve se operace se 128 bitovým číslem rozdělovala z důvodu složitosti konstrukce 128 bitového registru do dvou operací: během 1 hodinového taktu se prováděl výpočet s dolními 64 bity čísla a během 2 hodinového taktu s horními 64 bity čísla (používal se 64 bitový datový registr).

## 5. Architektura Nehalem

- Core i7, Core i5, Core i3



Jedná se o vícejádrové procesory (vyjma Core i3) s částečnou (i7) nebo plnou (i3, i5) integrací obvodů severního mostu do procesoru. Díky nové koncepci procesorové sběrnice QPI (nahradila 64 bitovou paralelní sběrnici FSB) jsou vhodné také pro víceprocesorové výkonné stanice a servery (viz téma „Čipové sady“).

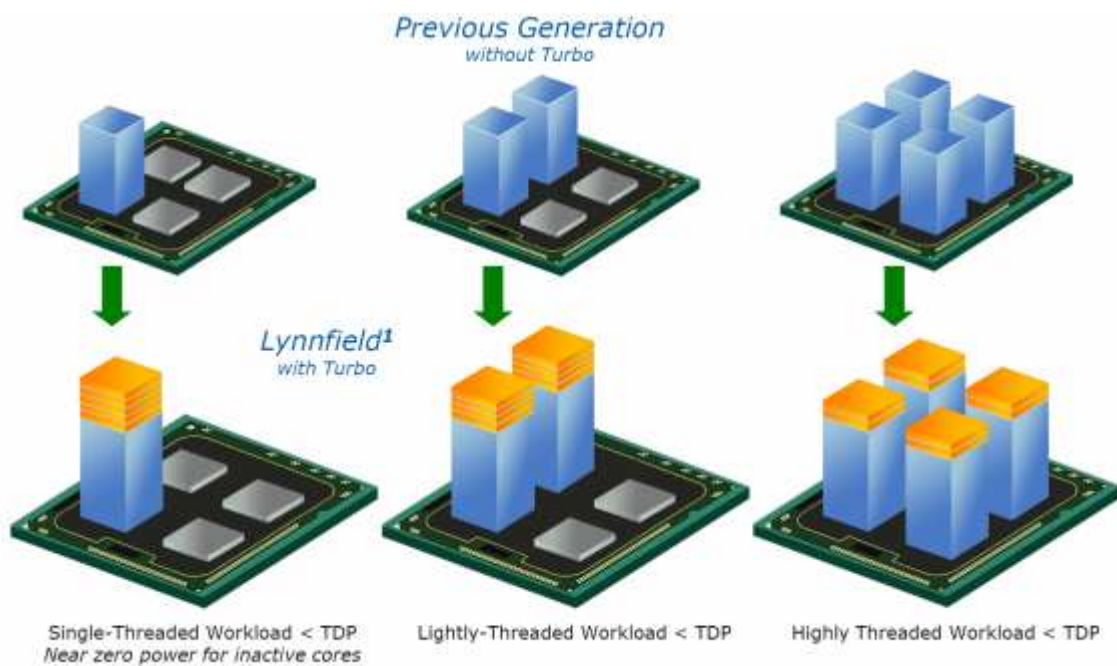
Integrovaný řadič paměti – paměťový řadič je integrován přímo do pouzdra procesoru. Výhodou je velmi rychlá výměna dat mezi operační pamětí a výpočetními jednotkami procesoru. U víceprocesorových systémů (např. servery) má každý procesor vlastní paměťový prostor. S každým novějším procesorem lze vylepšovat také paměťový řadič.

QPI procesorová sběrnice (QuickPath Interconnect) – vysokorychlostní procesorová sběrnice skládající se ze dvou 20 bitových spojů (z toho 16 bitů pro data) pro propojení procesoru se severním mostem čipové sady. U víceprocesorových systémů navíc umožňuje propojit přímo jednotlivé procesory mezi sebou. Je to náhrada stávající systémové sběrnice FSB (více viz téma „Čipové sady“). *Pozn.:* obdoba sběrnice **HyperTransport** u procesorů AMD.

HyperThreading – viz „HyperThreading“ u architektury NetBurst. HyperThreading umožní ze čtyř fyzických jader procesoru, učinit až osm virtuálních. Architektura Core tuto technologii z důvodu složitosti nepodporovala. Nově se označuje jako SMT (Simultaneous Multi-Threading).

Režim Turbo Boost (resp. Turbo Mode) – technologie, hlídající TDP procesoru a zároveň vytížení jader procesoru. Pokud program nevyužívá všechna jádra procesoru, přepínají se nepoužívaná jádra do úsporného nebo spánkového režimu nebo jsou kompletně odpojena od napájení. Výsledkem je nejen úspora energie, ale hlavně snížení teploty vyzařované procesorem. Jelikož v tu chvíli je chlazení procesoru naddimenzované, mohou být aktivní jádra automaticky přetaktována změnou násobiče na vyšší kmitočet.

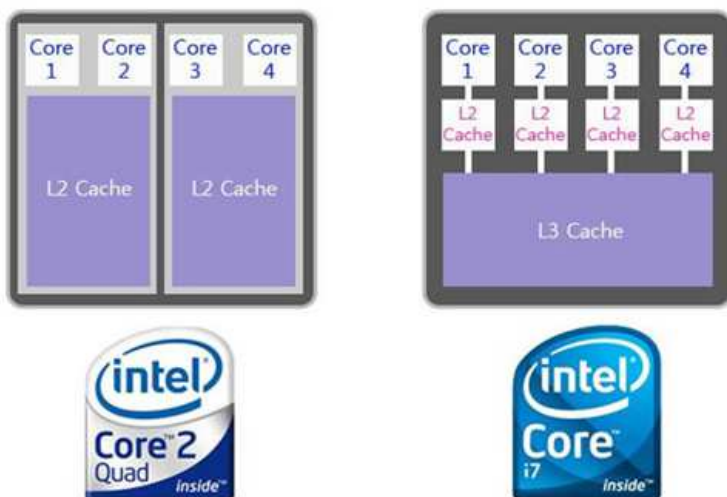
U nové verze funkce Turbo Boost má každé jádro vlastní násobič, může tedy dojít k situaci, kdy dvě jádra budou vypnutá a zbylá dvě poběží každé na jiné frekvenci.



Rozšíření instrukční sady SSE 4.2 – doplnění instrukční sady SSE4 o nové SIMD instrukce (usnadnění rozpoznávání řeči, výpočet kontrolních součtů při přenosech dat - CRC32, atd.)

Rozšíření Smart Cache o L3 cache

Architektura Nehalem využívá paměť cache o třech úrovních, přičemž zde je L2 (256 kB) oddělená pro každé jádro a L3 je sdílená pro všechna jádra. Velikost L3 cache je 8 MB (Core i7 a i5) nebo 4 MB (Core i3).

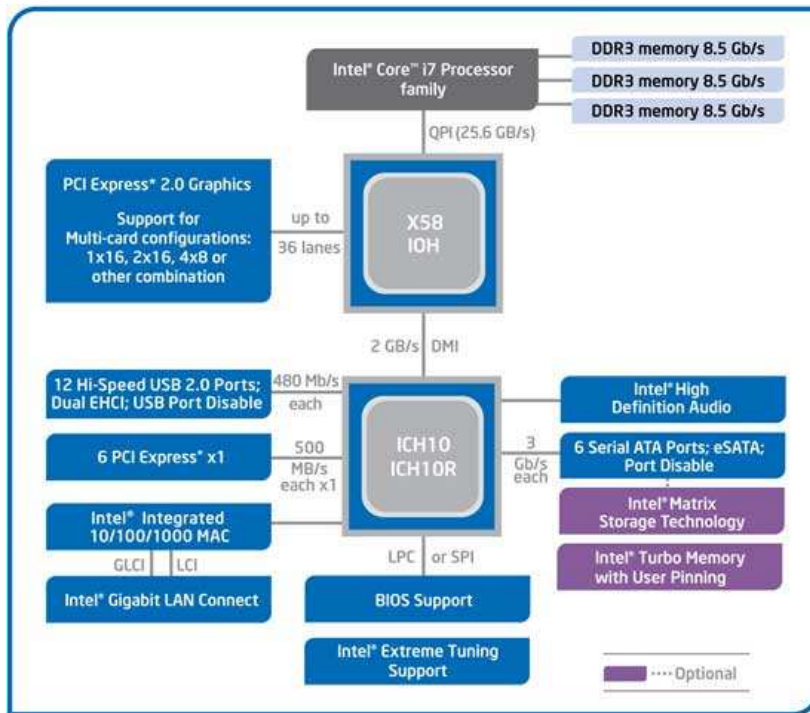


## Procesor Core i7

Procesor je určen především pro výkonné víceprocesorové servery a výkonné stolní počítače.

Severní most se označuje jako obvod IOH (Input Output Hub). Obsahuje pouze řadič grafické sběrnice PCI Express 2.0 x16 s až 36 linkami.

Řadič pamětí DDR3 je umístěn přímo na čipu procesoru a je tříkanálový. Na kanál je možné osadit dva moduly, celkem tedy na procesor šest modulů.

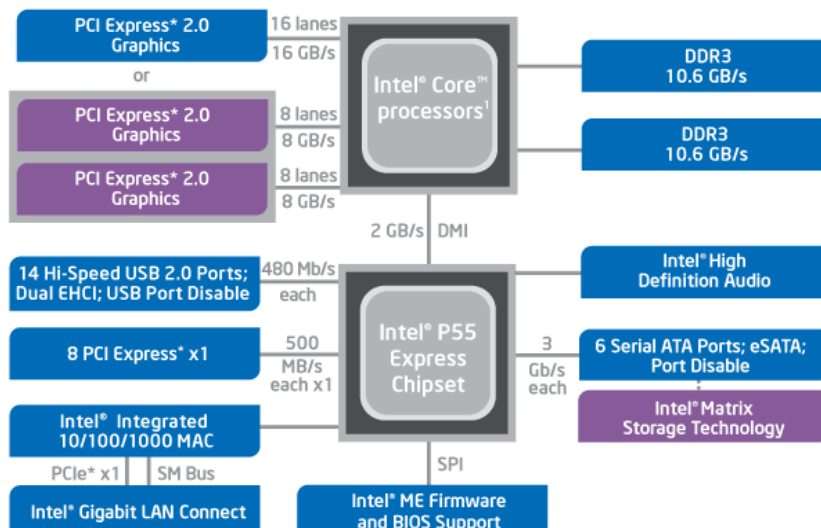


## Procesor Core i5

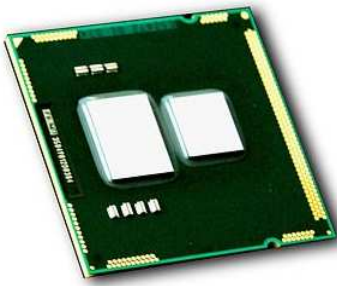
Určen především pro střední třídu počítačů, především levné jednoprocessorové servery a běžné stolní počítače.

Přímo v procesoru je integrován pouze dvoukanálový řadič pamětí DDR3 a zároveň se zde nachází integrovaný řadič PCI Express 2.0 x16 se 16 linkami (2x 8 linek nebo 1x 16 linek). U některých modelů Core i5 je uvnitř procesoru navíc **integrováno přímo grafické jádro (GPU)**.

Na komunikaci s čipovou „sadou“ (pouze jižní most - PCH) procesoru používá rozhraní DMI.

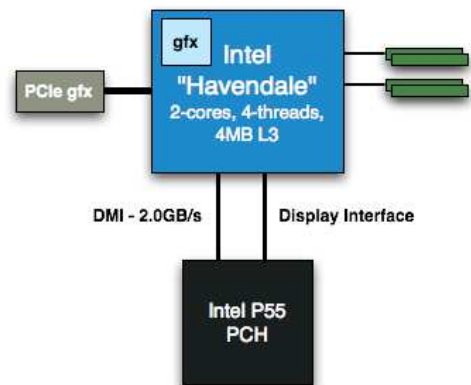
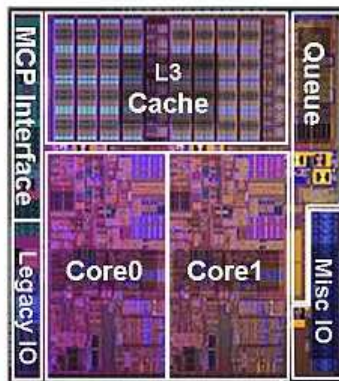
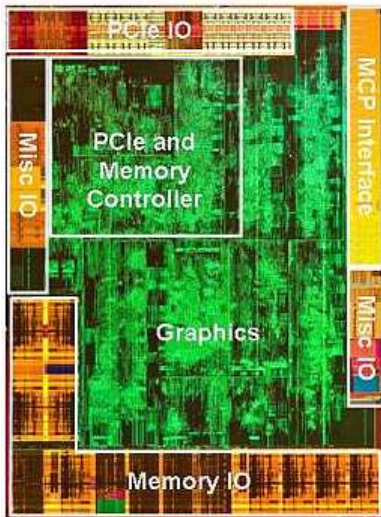


## Processor Core i3



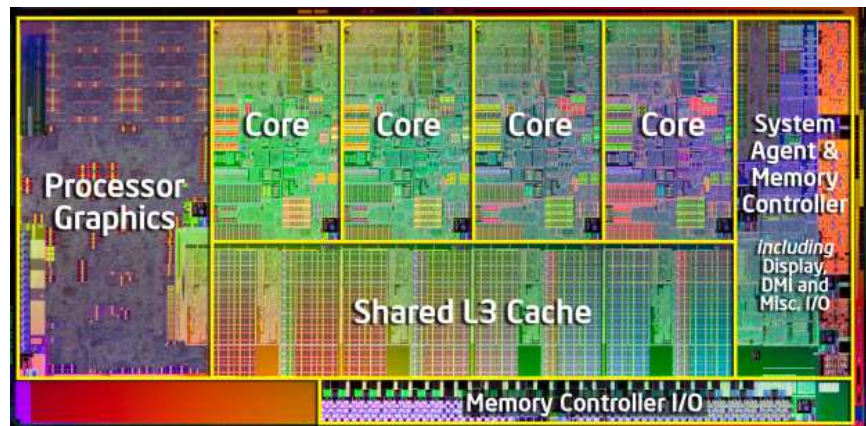
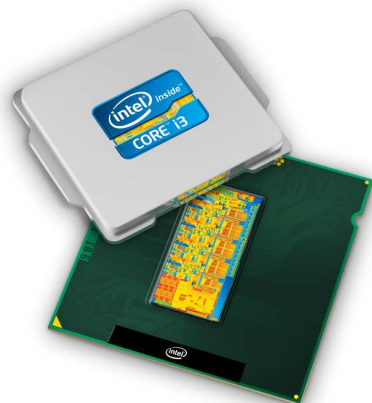
Vychází ze specifikací Core i5, obsahuje však pouze dvě jádra, poloviční L3 cache (4 MB) a má vypnutý režim „Turbo Boost“. Uvnitř procesoru se nachází **integrované grafické jádro (GPU)**.

Svou výbavou je nejslabší z procesorů architektury Nehalem a je určen pro „levnější“ stolní počítače s jedním procesorem a notebooky.



## 6. Architektura Sandy Bridge

- 2. generace procesorů řady Core i7, Core i5, Core i3



Plná integrace severního mostu do procesoru (APU = CPU + GPU):

- Procesorová jádra
- řadič operační paměti
- rozhraní grafické sběrnice PCI-Express x16 (s podpodou Multi-GPU)
- GPU (grafický procesor)

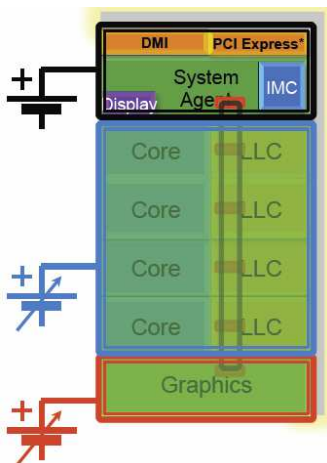
### Integrovaný severní most – System Agent (SA)

- řadič operační paměti DDR3
- řadič sběrnice PCI-Express x16 verze 2.0 (lze rozdělit na dvě linky x8), podpora Multi-GPU
- PCU (Power Control Unit) = obvod řízení napájení, frekvence a tepelného monitoringu procesoru
- Media engine - obvod pro dekódování videa a převod do jiných formátů

### Integrovaný grafický procesor

- Intel HD Graphics 2000 (resp. 3000)
- přímo součástí polovodičového čipu procesoru
- přímý přístup do paměti L3 cache
- možnost změny frekvence a výkonu dle potřeby programové aplikace
- vlastní napájení, možnost vypnutí

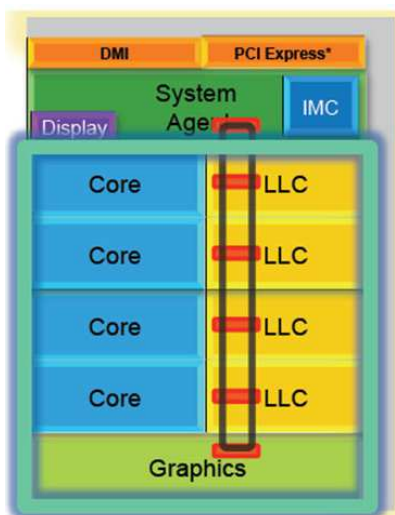
### Oddělené napájení procesorových jader, GPU, System Agent



Každá z těchto částí APU využívá vlastní napájení a taktovací kmitočet:

- efektivnější řízení spotřeby
- nižší tepelné vyzařování
- delší čas práce na akumulátory
- širší možnosti přetaktování

### Vnitřní kruhová sběrnice (ring bus)



Umožňuje přímé propojení procesorových jader, GPU a obvodů SA pomocí kruhové sběrnice (ring bus). Obvody sdílejí L3 cache (LLC = Last Level Cache).

Sběrnice přináší velkou přenosovou rychlost.

## Turbo Boost 2.0

Vylepšená verze technologie Turbo Boost z předešlé architektury Nehalem.

Obvod PCU (Power Control Unit) dokáže **krátkodobě** přetaktovat procesor nad rámec maximální hodnoty TDP (např. při spouštění programu, náročný výpočet, apod.). Poté frekvenci sníží na základní s maximálním Turbo násobičem → urychlení startu náročných programů, urychlení výpočtu, apod.

Pozn.: chladič má určitou setrvačnost při zahřívání, během krátkodobého zvýšení TDP nedojde k přehřátí procesoru.

## Rozšíření instrukční sady (AVX)

AVX = Advanced Vector Extension

- implementace nových 256 bitových registrů (instrukce pracují s 256 bitovými operandy v 1 hodinovém taktu)
- využití v náročných matematických aplikacích u výpočtů s čísly v plovoucí řádové čárce, u šifrovacích algoritmů, atd.

---

Pozn.:

Většinu zde popsaných technologií lze nalézt také u procesorů firmy AMD (pod jiným názvem a s mírně odlišnou specifikací), proto se jimi tento výukový materiál nezabývá.

Jedná se pouze o ukázkou technologií, jejichž úkolem je zvýšit rychlost zpracování instrukcí procesorem bez nutnosti zvyšovat taktovací kmitočet a napájecí napětí jádra (větší nároky na napájecí zdroj, větší zahřívání procesoru = problém chlazení), popřípadě snížit spotřebu elektrické energie (vhodné především pro mobilní počítače).